

Estudo da Interferência de Nanotubos de Carbono no Regime de Operação de Transistores MOSFET

Study of Carbon Nanotubes Interference in the MOSFET Transistors Operation Regime

Thiago M. de Lima^{1*} e Thiago A. A. de Assumpção²

Resumo: Os transistores são componentes eletrônicos que possuem uma ampla área de aplicação, como TI, automotiva, industrial, aeronáutica entre outros. Porém, a sua fabricação em escala nanométrica está chegando ao seu limite físico, com isso, limitando o avanço de novos produtos e componentes com melhores desempenhos. O objetivo deste trabalho é analisar as propriedades dos transistores MOSFET tradicionais e dos CNFETs (transistores compostos por nanotubos de carbono), comparando-os com diferentes espessuras de óxido de porta, juntamente com dois tipos de materiais isolantes distintos, o dióxido de silício e o dióxido de háfnio. Para análise de todos os parâmetros referentes a ambos os transistores e caracterização das dimensões dos nanotubos de carbono, foi verificada por meio de pesquisas bibliográficas as formas de modelagem dos componentes citados. Para o desenvolvimento dos cálculos foram utilizados dois programas distintos, o ENIMOS desenvolvido em C# utilizando a plataforma de desenvolvimento Visual Studio da Microsoft, e o FETToy desenvolvido na plataforma MATLAB por alunos das universidades de Purdue University, University of Florida, University of Illinois, Southern Illinois University e IBM. Em posse de tais ferramentas, foi possível notar que, embora os transistores tradicionais tenham maiores valores de corrente quando utilizado o dióxido de háfnio em comparação com o dióxido de silício, os transistores CNFET possuem maior velocidade de saturação principalmente por conta das propriedades provenientes dos nanotubos de carbono. Isto permite com que este transistor apresente um desempenho melhor que os tradicionais.

Palavras-Chave: MOSFET. CNFET. FETToy. Simulação MATLAB.

Abstract: Transistors are electronic components that have a wide application area, such as IT, automotive, industrial, aeronautics and others. However, its nanoscale manufacturing is reaching its physical limit, thereby limiting the advance of new products and components with better performances. The aim of this work is to analyze the properties of the traditional MOSFET transistors and the CNFETs (transistors composed of carbon nanotubes), comparing them with different thicknesses of gate oxide, and also with two types of different insulating materials, Silicon dioxide and Hafnium dioxide. For the analysis of all the parameters related to both transistors and characterization of the

carbon nanotubes dimensions, it was verified through bibliographical research the modeling methods for the mentioned components. For the calculations development, two distinct programs were used, the ENIMOS developed in C# using the Microsoft Visual Studio development platform, and the FETToy developed in the MATLAB platform by students from Purdue University, University of Florida, University of Illinois, Southern Illinois University and IBM. In the presence of such tools, it was possible to note that although traditional transistors have higher current values when hafnium dioxide is used in comparison with silicon dioxide, the CNFET transistors have a higher saturation velocity mainly due to the properties of the nanotubes of carbon. This allows this transistor to perform better than traditional ones.

Keywords: MOSFET. CNFET. FETToy. MATLAB Simulation.

I. INTRODUÇÃO

Os processadores são dispositivos eletrônicos que possuem uma alta capacidade de processamento, que vêm tendo uma grande evolução desde suas primeiras versões. Porém, pesquisas atuais mostram que dificilmente essa previsão se manterá até o ano de 2026, pois os transistores a base de silício estão chegando ao seu limite físico e eletrônico [1]. Em janeiro de 2007 a Intel apresentou a sua nova família de processadores que utilizava em sua fabricação um novo tipo de material isolante que possuía como característica um alto valor de constante dielétrica, permitindo a diminuição da porta do transistor [2]. Mas essa nova tecnologia assim como a anterior chegou ao seu limite físico e o grande desafio é descobrir novas tecnologias para dar continuidade ao desenvolvimento dos transistores. Um novo tipo de material que promete ajudar nesta evolução é o nanotubo de carbono, material derivado do próprio carbono, sendo este mais uma de suas formas alotrópicas. Estudos apontam que há a possibilidade de utilizar os nanotubos na fabricação de transistores e que são capazes de alterar suas características de desempenho elétrico. Basicamente, existem três variações estruturais dos nanotubos de carbono, sendo eles, os nanotubos de parede simples (SWNT – Single walled nanotube), paredes duplas (DWNT – Double walled nanotube) e paredes múltiplas (MWNT – Multi-walled nanotube).

¹Acadêmico, Curso de Engenharia Mecatrônica, Centro Universitário ENIAC (thiagolima0993@gmail.com). *Para quem o contato deve ser realizado.

²Doutor em Ciências, Professor nos cursos de Engenharia e Pesquisador do Núcleo de Pesquisa – NUPE do Centro Universitário ENIAC (thiago.alexandre@eniac.edu.br).

Devido essa variação estrutural as características eletrônicas e mecânicas são definidas a partir de sua quiralidade e da forma que o nanotubo é enrolado [3,4,5].

O trabalho em questão tem como objetivo avaliar a interferência dos nanotubos de carbono na velocidade de saturação dos transistores do tipo MOSFET quando utilizados como parte dos materiais envolvidos na construção destes dispositivos.

Esta análise será realizada por meio de simulações e gráficos, verificando a influência na corrente entre dreno e fonte quando utilizado transistores com diferentes tamanhos e espessuras de óxido de porta como SiO₂ e HfO₂.

Para análise destes parâmetros é necessário determinar a tensão limiar (V_T), a curva da corrente de dreno e fonte (I_{DS}) em função da tensão de dreno e fonte (V_{DS}) que varia de acordo com a tensão aplicada na porta (V_{GS}), entre outros parâmetros.

II. REFERENCIAL TEÓRICO

Por meio de pesquisas bibliográficas, procurou-se verificar como são realizados os cálculos de modelamento do transistor MOSFET, e sua análise se inicia a partir do capacitor MOS. O capacitor MOS se encarrega de controlar as cargas capacitivas atuantes na região da porta do transistor, influenciando diretamente em seu funcionamento. Alguns dos parâmetros que cancelam os efeitos de cargas parasitas dos materiais compostos na porta do transistor são materiais com mesmo nível de Fermi, nas mesmas condições térmicas e com densidade de cargas nulas [6], ou seja, o que seria um caso ideal como mostrado na Figura 1.

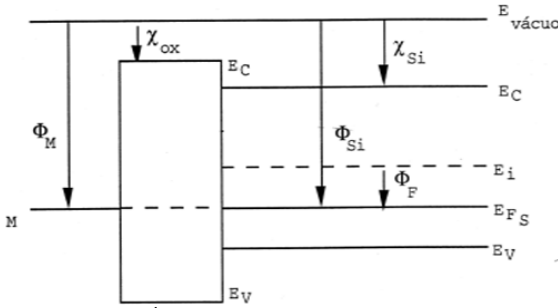


Figura 1 – Diagrama de banda da estrutura MOS ideal [6].

Onde:

- χ_{Si} – Afinidade eletrônica do silício
- χ_{ox} – Afinidade eletrônica do óxido
- Φ_{Si} – Função de trabalho do silício
- Φ_F – Potencial de Fermi
- Φ_M – Função de trabalho
- E_C – Nível de condução
- $E_{vácuo}$ – Nível de vácuo
- E_i – Nível intrínseco
- E_{Fs} – Nível de Fermi do semicondutor
- E_V – Nível de valência

A Figura 1 apresenta as bandas de energias da estrutura de um capacitor MOS ideal (Metal, Óxido e Semicondutor), ou seja, não está sendo considerado nenhum tipo de carga influente. Mas isso não é o que realmente acontece, pois a estrutura MOS é submetido a diversos tipos de cargas denominadas Q_{SS} (Densidade de cargas efetivas no óxido de porta) e diferentes níveis de Fermi entre metal e semicondutor como mostrado na Figura 2. Com isso, é necessário determinar parâmetros como a tensão de faixa plana (V_{FB}) que se refere a tensão aplicada na porta com valores menores que V_T. As tensões aplicadas na porta do transistor variam conforme a região de operação a ser estudada. No transistor N-MOSFET verifica-se a região sublimiar aplicando um V_{GS} negativo, e para estudar as regiões superiores a V_T é necessário aplicar um V_{GS} positivo. Da mesma forma o transistor P-MOSFET, porém com valores de tensões inversos [6,7]. Com isso, descobre-se a condição inicial do transistor MOSFET, podendo estar em duas regiões de operação distintas apresentados na Figura 3(a) região de acumulação; e Figura 3(b) região de depleção.

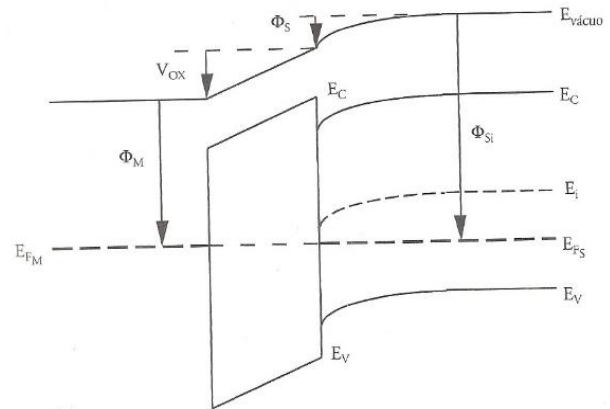


Figura 2 – Diagrama de banda da estrutura MOS [6].

A tensão de banda plana é definida pela equação (1):

$$V_{FB} = -\frac{Q_{SS}}{C_{OX}} + \Phi_{MS} \quad (1)$$

Onde:

- Q_{SS} – Densidade de cargas efetiva no óxido de porta.
- Φ_{MS} – Diferença de função de trabalho entre metal e semicondutor.
- C_{OX} – Capacitância da porta por unidade de área.

A diferença de função de trabalho entre metal e semicondutor apresentada na equação 1 é deduzido a partir da aplicação de tensão na porta, onde a diferença de potencial aplicada, fica parte sobre o metal (Φ_M) e o silício (Φ_{Si}).

$$\Phi_{MS} = \Phi_M - (\Phi_{Si} + \Phi_F) \quad (2)$$

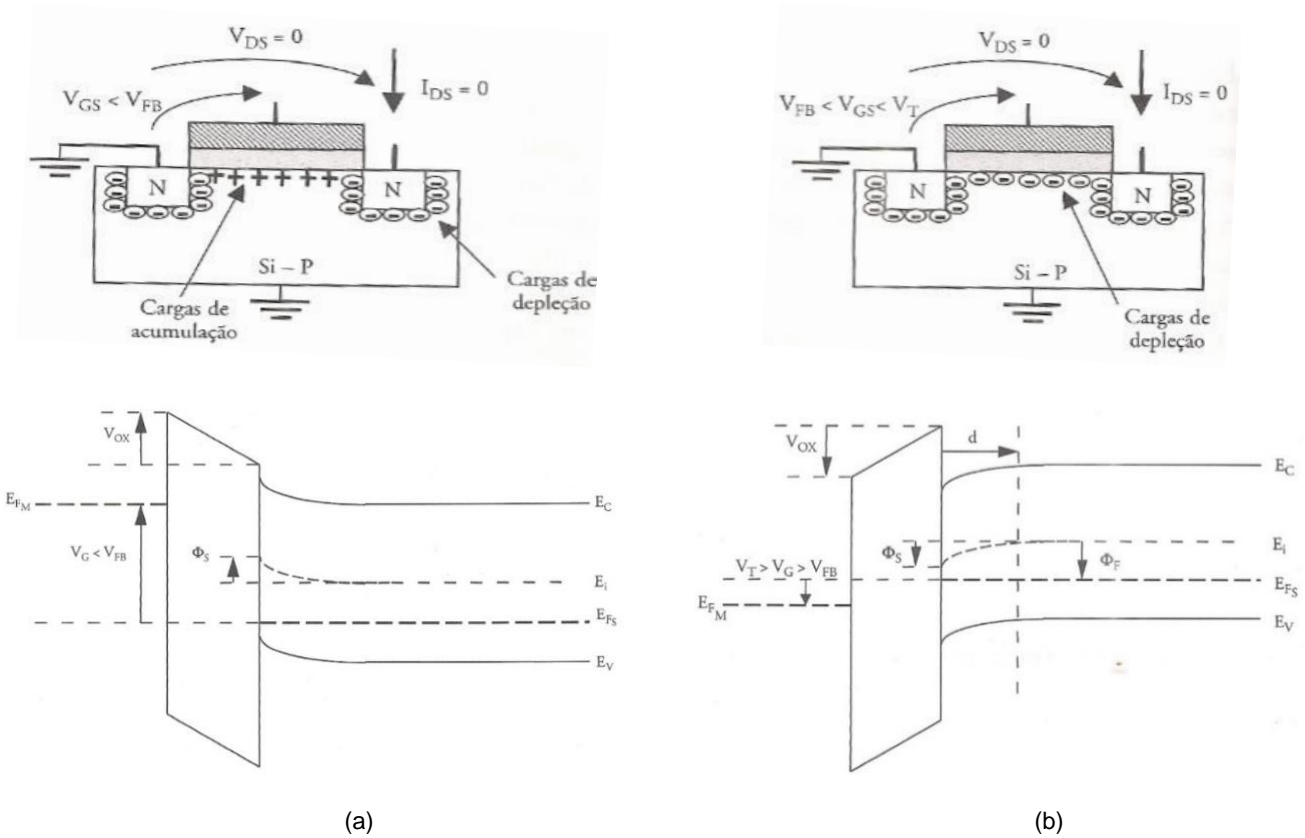


Figura 3 – Diagrama de banda da estrutura MOS em referência ao regime de operação em (a) acumulação e (b) depleção de um transistor NMOSFET [6].

Como pode ser visto na Figura 3(b) a partir da aplicação de uma diferença de potencial na porta do transistor, há um afastamento dos portadores majoritários no substrato de silício que é diretamente proporcional a diferença de potencial aplicada, visto que é necessário respeitar a seguinte condição, $V_{FB} < V_{GS} < V_T$ para que o transistor não se encontre no regime de operação de acumulação Figura 3 (a). Porém esta largura de depleção representada pela letra “d” possui um limite de acordo com que se eleva a tensão aplicada, sendo $V_{GS} \cong V_T$. Esta largura limite é chamada de largura máxima da região de depleção d_{max} , e pode ser determinada a partir da equação (3) e (4) [6].

Substrato tipo P

$$d_{max} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \Phi_F}{q \cdot N_x}} \quad (3)$$

Substrato tipo N

$$d_{max} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot |\Phi_F|}{q \cdot N_x}} \quad (4)$$

Onde:

ϵ_{Si} – Permissividade do silício

q - Carga elementar do elétron $1,6 \times 10^{-9}$ C

Φ_F – Potencial de Fermi

N_x - Concentração de impureza

O potencial de Fermi é definido a partir do dopante do substrato, podendo ser do tipo P ou tipo N [8].

Substrato tipo P

$$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (5)$$

Substrato tipo N

$$|\Phi_F| = -\frac{kT}{q} \ln\left(\frac{N_d}{n_i}\right) \quad (6)$$

Onde:

k – Constante de Boltzmann $1,38 \times 10^{-23}$ J/K

T – Temperatura absoluta (K)

n_i – Concentração intrínseca de portadores

N_a – Concentração de impureza aceitadoras do semiconductor.

N_d – Concentração de impureza doadora do semiconductor.

A capacitância do óxido de porta por unidade de área C_{ox} da equação (1) é dado pela seguinte equação:

$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} \quad (7)$$

Nos estgios seguintes de operao do transistor MOSFET a tenso de banda plana deixa de afetar o transistor MOSFET que passa ser controlado a partir de V_T e pelas variaes de V_{GS} como pode ser visto na Figura 4 [6].

Onde:

ϵ_{ox} – Permissividade do oxido.

T_{ox} – Espessura do oxido.

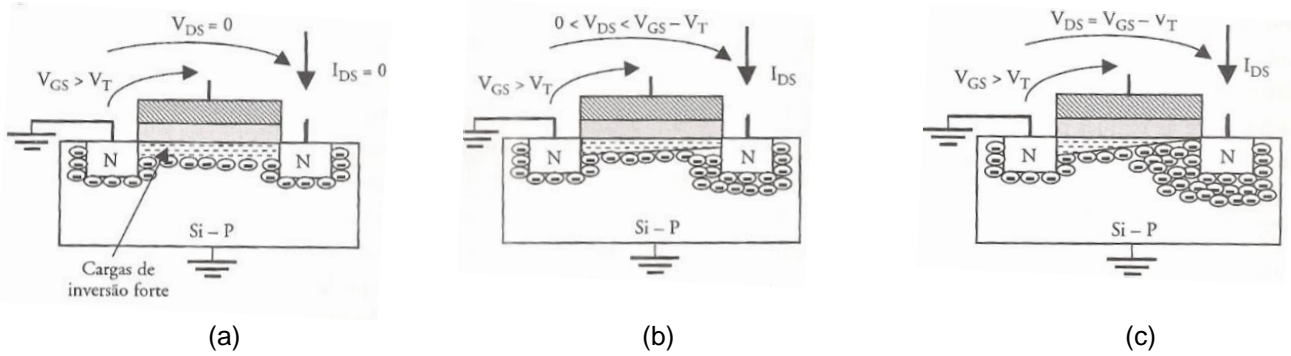


Figura 4 – Regime de operao do transistor NMOSFET [6].

A Figura 4(a) apresenta o transistor NMOSFET no regime de operao de inverso forte, isso ocorre quando V_{GS}  maior que a V_T e $V_{DS} = 0$, com isso, obtm-se uma atrao entre as cargas da fonte e porta, e fonte e dreno. Criando um canal negativo entre as interfaces do substrato do tipo P e do material dieltrico. Na qual permite a passagem da corrente que sempre fluir do sentido do dreno a fonte, porm, devido ao valor de V_{DS} ser igual a zero a corrente que percorre o canal  desprezvel.

A Figura 4(b) apresenta o transistor NMOSFET no regime de operao trodo, onde temos V_{DS} trabalhando na seguinte condio $0 < V_{GS} - V_T < V_{DS}$. Como a tenso aplicada no dreno  superior a fonte, a camada de inverso no transistor ser superior ao lado do dreno, com isso, obtemos um aumento de corrente que  diretamente proporcional a tenso da porta e dreno.

A Figura 4(c) apresenta o momento de transio do regime de operao trodo para saturao, basicamente  uma continuao do regime de operao anterior, porm neste caso, ocorre o pinamento da camada de inverso, que corresponde a uma tenso V_{DS} especifica, ou seja, $V_{DS} = V_{GS} - V_T$. Tambm chamado de V_{Sat} (Tenso de Saturao), pois aps esse momento, qualquer valor superior de tenso acrescentado em V_{DS} no implicar em um aumento de corrente, ou seja, o transistor est em regime de saturao.

Todos os parmetros citados anteriormente so importantes para determinar a tenso de limiar do transistor MOSFET, lembrando que, a tenso de limiar refere-se ao valor de tenso aplicada a porta do transistor que altera seu regime de operao para inverso forte, como apresentado na Figura 4(a). A equao de tenso limiar para os substratos do tipo P e N so apresentado a seguir.

Substrato tipo P

$$V_T = \frac{\sqrt{4 \cdot q \cdot N_x \cdot \epsilon_{si} \cdot \Phi_F}}{C_{OX}} + 2\Phi_F + V_{FB} \quad (8)$$

Substrato tipo N

$$V_T = \frac{\sqrt{4 \cdot q \cdot N_x \cdot \epsilon_{si} \cdot |\Phi_F|}}{C_{OX}} - 2\Phi_F + V_{FB} \quad (9)$$

A partir das equaes apresentadas  possvel projetar o grfico dos regimes de operao do transistor MOSFET com valores superiores a V_T que utilizam a I_{DS} em funo da V_{DS} com a aplicao de diversos valores de tenso na porta do transistor, como apresentado na Figura 5. A partir desta figura  possvel comparar a influncia da corrente no canal do transistor quando se altera o tipo de material dieltrico ou sua espessura, normalmente, a I_{DS} diminuir para espessuras maiores e aumentar para espessuras menores. Mas  necessrio que tenha cuidado na escolha da espessura do dieltrico, caso seja muito pequeno, poder provocar uma ruptura dieltrica, onde ocasiona a perda das propriedades isolantes do material [6,7,9].

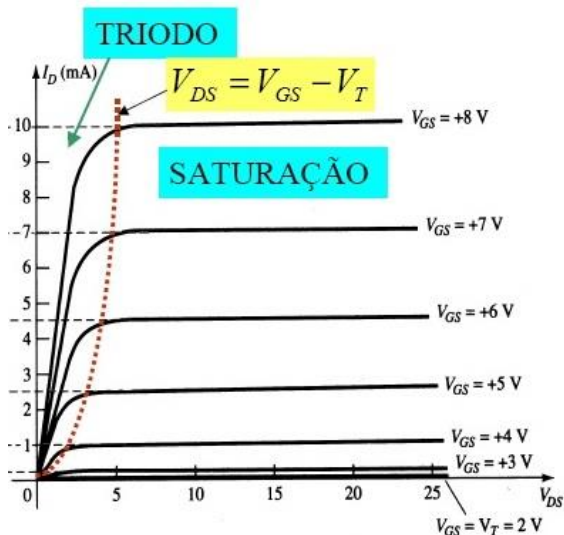


Figura 5 – Curva I_{DS} x V_{DS} [9].

Os cálculos necessários para projeção dos regimes de operação de corte, triodo e saturação do transistor MOSFET do tipo P e N é visto adiante.

NMOSFET

Região de corte:

$$V_{GS} < V_T \text{ ou } V_{GS} - V_T < 0$$

$$I_{DS} = 0$$

Região de Triodo:

$$0 < V_{DS} \leq V_{GS} - V_T$$

$$I_{DS} = \beta_N \cdot [(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2}]$$

Região de Saturação:

$$0 < V_{GS} - V_T \leq V_{DS}$$

$$I_{DS} = \beta_N \frac{(V_{GS} - V_T)^2}{2}$$

Ganho do transistor β_N :

$$\beta_N = \frac{\mu_N \cdot \epsilon_{ox}}{T_{ox}} \cdot \left(\frac{W}{L}\right)$$

PMOSFET

Região de corte:

$$V_{GS} > V_T \text{ ou } V_{GS} - V_T > 0$$

$$I_{DS} = 0$$

Região de Triodo:

$$V_{GS} - V_T \leq V_{DS} < 0$$

$$I_{DS} = \beta_P \cdot [(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2}]$$

Região de Saturação:

$$V_{DS} \leq V_{GS} - V_T < 0$$

$$I_{DS} = \beta_P \frac{(V_{GS} - V_T)^2}{2}$$

Ganho do transistor β_P :

$$\beta_N = \frac{\mu_P \cdot \epsilon_{ox}}{T_{ox}} \cdot \left(\frac{W}{L}\right)$$

Porém, utilizando as equações 12 ou 16 dos regimes de operação dos transistores citados anteriormente, a região de saturação da Figura 5 não possui o comportamento descrito no gráfico, pois na prática temos um pequeno ganho de corrente de dreno após a saturação do transistor, que acontece devido à diminuição da região de inversão forte após o pinçamento da camada. Visto que, para um cálculo mais aproximado do real, é necessário considerar a modulação efetiva do comprimento do canal, obtendo o comportamento mostrado na Figura 6 [10].

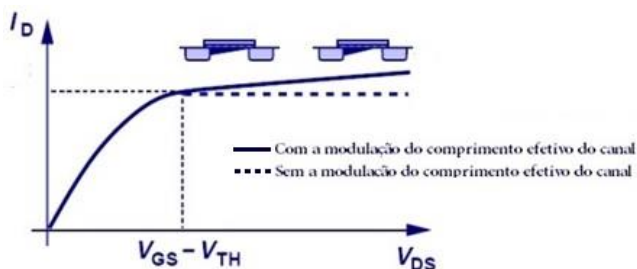


Figura 6 – Efeito da modulação na curva característica do MOSFET [10].

Para que a corrente de saturação tenha o comportamento correspondente a Figura 6, é necessário adicionar a seguinte expressão:

$$1 + \lambda \cdot V_{DS} \tag{18}$$

Onde $\lambda = \frac{1}{V_A}$ e V_A corresponde à tensão de Early que possui valores típicos entre 50 a 100 V [10,11]. Adicionando essa expressão nas equações 10 e 14, obtemos duas novas equações.

Região de Saturação: Tipo N

$$I_{DS} = \beta_N \frac{(V_{GS} - V_T)^2}{2} \cdot (1 + \lambda \cdot V_{DS}) \tag{19}$$

Região de Saturação: Tipo P

$$I_{DS} = \beta_P \frac{(V_{GS} - V_T)^2}{2} \cdot (1 - \lambda \cdot V_{DS}) \tag{20}$$

Na Figura 7 é possível notar que o efeito de modulação do comprimento efetivo do canal tem maiores efeitos em transistores de canal curto, onde geram valores maiores de corrente de dreno na região de saturação [12].

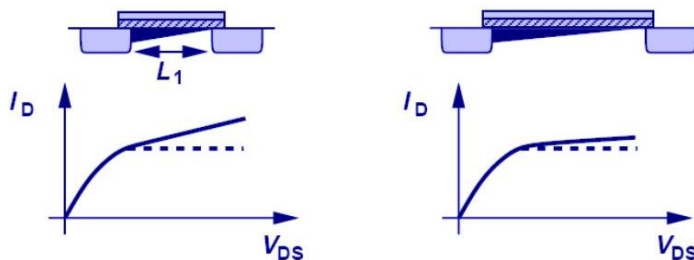


Figura 7 – Comparação do efeito da modulação do comprimento efetivo do canal em diferente comprimento de porta [10].

Buscando apresentar as influências dos nanotubos de carbono nos transistores MOSFET é necessário estudar a forma de extração dos parâmetros dos nanotubos, que nada mais é que uma camada de grafeno enrolada e fechada, onde é determinado o vetor quiral (\vec{C}_h), mostrando o sentido de rotação do nanotubo, cuja origem parte de um átomo da monocamada do grafeno. A expressão do vetor quiral é $\vec{C}_h = n\vec{a}_1 + m\vec{a}_2 \equiv (n, m)$ onde n e m são valores inteiros e devem satisfazer a seguinte relação: $0 \leq |m| \leq |n|$. O vetor translacional \vec{T} delimita o comprimento do nanotubo cuja origem é perpendicular ao vetor \vec{C}_h . A expressão do vetor translacional é $\vec{T} = T_1\vec{a}_1 + T_2\vec{a}_2 \equiv (T_1, T_2)$ onde T_1 e T_2 são valores inteiros. Os vetores \vec{a}_1 e \vec{a}_2 definem os pontos de localização dos carbonos na rede cristalina, onde possuem valores constantes $|\vec{a}_1| = |\vec{a}_2| = 0,249$ nm. Esses pontos são necessários para classificar a orientação do nanotubo como quiral ou aquiral, conforme apresentado na Figura 8(b) [3,4].

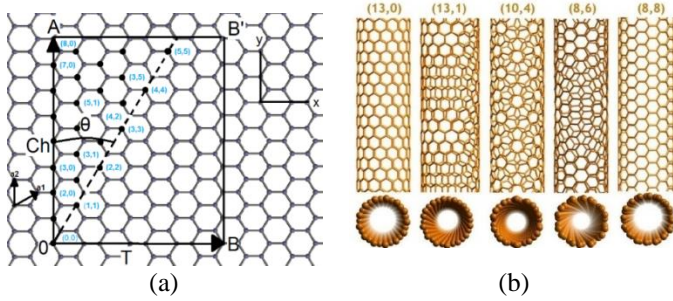


Figura 8 - (a) Monocamada de grafeno com respectivos vetores. (b) Nanotubos de diferentes quiralidades [3].

O diâmetro do nanotubo – d – é dado pela Equação 21:

$$d = \frac{L}{\pi} = \frac{a \cdot \sqrt{m^2 + n^2 + nm}}{\pi} \quad (21)$$

Onde L é o perímetro e $a = 2,49 \text{ \AA} = 24,9 \text{ nm}$. O ângulo θ define como o nanotubo será classificado, para $\theta = 0^\circ$ teremos um nanotubo zigzag e, para $\theta = 30^\circ$, o nanotubo será armchar. Os valores de T_1 e T_2 são adquiridos a partir das seguintes expressões:

$$T_1 = \frac{2 \cdot m + n}{d_R} \quad (22) \quad T_2 = -\frac{2 \cdot n + m}{d_R} \quad (23)$$

O comprimento do vetor \vec{T} é dado pela expressão 24:

$$T = |\vec{T}| = \sqrt{3} \frac{L}{d_R} \quad (24)$$

Onde d_R é o resultado do máximo divisor comum de $(2 \cdot m + n)$ e $(2 \cdot n + m)$ [3,4]. Os transistores MOSFET que utilizam nanotubo de carbono em sua construção, são chamados de *carbon nanotube field effect transistor* (ou apenas CNFET) que são constituídos de duas variações estruturais, plana e

coaxial como apresentado na Figura 9.

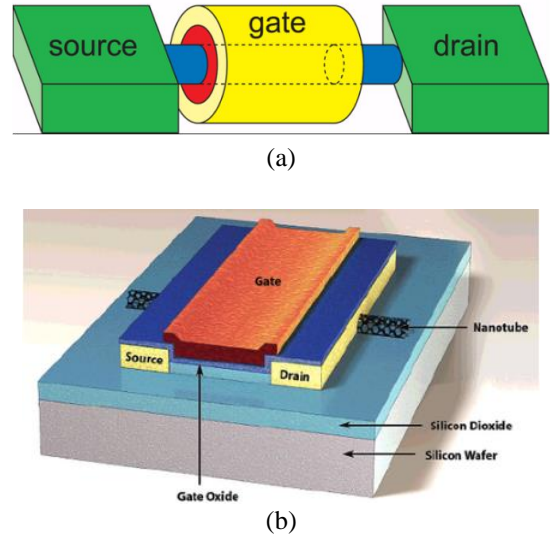


Figura 9 – Variação estrutural dos CNFET: (a) coaxial (b) planar [13].

Ambas as estruturas da Figura 9 possuem o mesmo comportamento de funcionamento, porém diferente dos MOSFETs do tipo enriquecimento apresentados até agora. Tais estruturas se assemelham com os MOSFETs do tipo depleção apresentado na Figura 10 onde a única diferença entre as estruturas são o material correspondente ao canal.

Nos MOSFETs do tipo depleção são utilizados os mesmos materiais das regiões de fonte e dreno, enquanto no CNFET é utilizado o nanotubo de carbono. Uma mudança que ocorre devido à alteração da estrutura do tipo enriquecimento para o tipo depleção é que o valor do limiar de transição passa a ser negativo como apresentado na Figura 11(a) em comparação com a Figura 11(b).

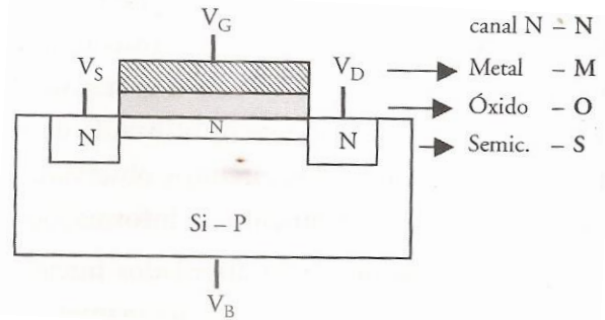


Figura 10 – Transistor MOSFET do tipo depleção [6].

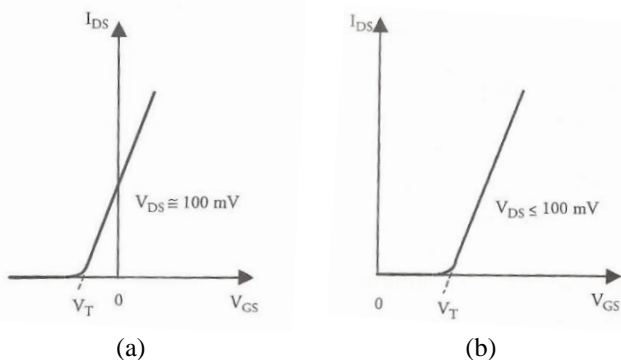


Figura 11 – Limiar de Transição do MOSFET do tipo depleção (a) em comparação com o MOSFET do tipo enriquecimento (b) [6].

Em posse destes valores é possível calcular a velocidade de saturação dos transistores, utilizando a equação 25.

$$v_{sat} = \mu_N \cdot E \quad (25)$$

Onde μ_N é a mobilidade dos elétrons, sendo que este valor no silício corresponde a $S_i = 1500 \frac{cm^2}{V.s}$, e no nanotubo de carbono $C_n = 7900 \frac{cm^2}{V.s}$, e E é o campo elétrico entre fonte e dreno, expresso pela equação (26).

$$E = \frac{V_{ds}}{L} \quad (26)$$

III. METODOLOGIA

A ferramenta utilizada na modelagem do parâmetro da tensão de limiar e das características do nanotubo de carbono será desenvolvida utilizando a (IDE) do Visual Studio. Programado na linguagem de programação C#, se tratar de uma linguagem orientada a objeto executada no .NET Framework que contém todas as classes necessárias para o funcionamento da aplicação no sistema operacional Windows. Os parâmetros calculados foram utilizados para elaboração das curvas características dos transistores MOSFET e CNFET, que também foram utilizados no software desenvolvido pelos alunos das universidades da *Purdue University*, *University of Florida*, *University of Illinois*, *Southern Illinois University* e *IBM* chamado de FETToy, para efeito de comparação e caracterização das mudanças elétricas nos transistores. O programa desenvolvido para modelagem do parâmetro da tensão de limiar e das características dos transistores contendo nanotubo de carbono, assim que iniciado, apresenta uma tela com duas opções de cálculos como apresentado na Figura 12.

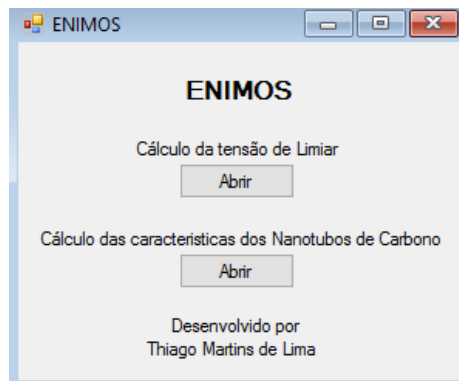


Figura 12 – Tela Inicial ENIMOS.

Dando escolha ao usuário entre calcular a tensão de limiar e as características físicas do nanotubo. Caso escolha a primeira opção o programa apresentará a seguinte tela (Figura 13).

Figura 13 – Tela de cálculo da tensão de limiar.

Por meio desta tela o usuário adicionará as propriedades necessárias dos materiais de acordo com as características do projeto do transistor MOSFET, assim, o programa calculará os valores de cada campo preenchido e adicionará automaticamente o resultado onde for necessário até que todos os campos referentes à tensão de limiar sejam totalmente preenchidos gerando o valor necessário para plotagem do gráfico do transistor MOSFET. Caso o usuário escolha a segunda opção, o programa ENIMOS apresentará uma tela conforme Figura 14.

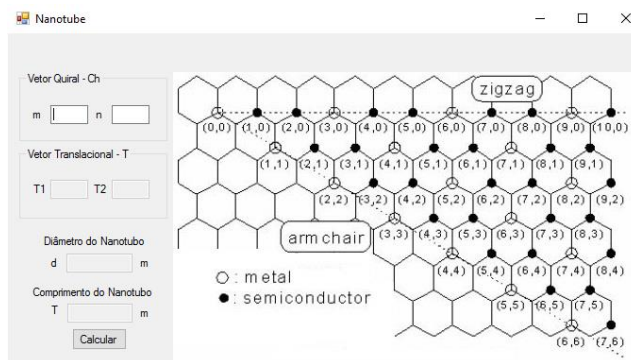


Figura 14 – Tela de modelagem dos parâmetros do nanotubo.

Assim como a tela anterior, o software calculará muitos campos automaticamente, apresentando o resultado do vetor translacional, diâmetro do nanotubo e comprimento, baseado nos pontos adicionados ao vetor quiral, de acordo com a propriedade desejada do nanotubo. Em posse do valor de V_T , e das características do nanotubo, outras informações relacionadas às características dos materiais de construção do MOSFET que foram utilizados na determinação da V_T inicial, serão utilizados no programa FETToy, conforme apresentado na Figura 15.

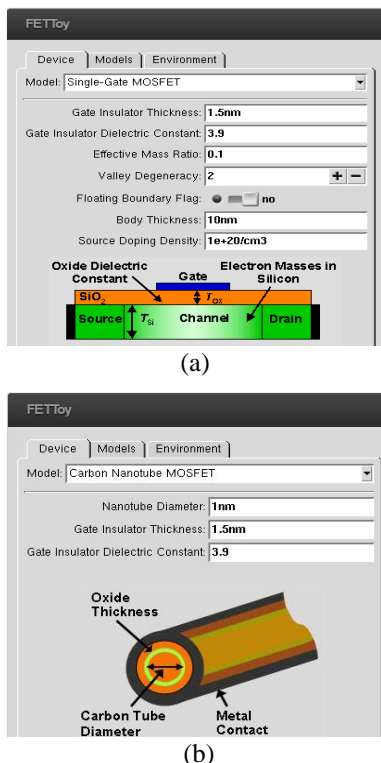


Figura 15 – Tela do programa FETToy [14].

As características utilizadas no programa ENIMOS para obtenção da tensão de limiar, tensão de faixa plana, entre outros parâmetros são apresentadas na Tabela 1.

Tabela 1 – Materiais característicos da região do capacitor MOS.

Capacitor MOS		
	HfO_2	SiO_2
ϵ_{ox}		
T_{ox}	1 μ ; 100n; 10n	1 μ ; 100n; 10n
N_a	10. 10 ¹⁷ cm ⁻²	10. 10 ¹⁷ cm ⁻²
Φ_M	Au – 4,8	Au – 4,8
Φ_S	Si – 4,7	Si – 4,7
ϵ_{si}	1,06. 10 ⁻¹² F/cm ²	1,06. 10 ⁻¹² F/cm ²
n_i	10. 10 ¹⁰ cm ⁻³	10. 10 ¹⁰ cm ⁻³

$$\underline{Q_{SS}/q} \quad 1,6 \cdot 10^{10} \text{ cm}^{-2} \quad 1 \cdot 10^{12} \text{ cm}^{-2}$$

A princípio, para efeito de comparação entre mesmas estruturas, serão utilizados dois tipos de materiais isolantes distintos, o SiO_2 e HfO_2 aplicados em três diferentes espessuras de 1 μm , 100 nm e 10 nm. O valor utilizado para obtenção do diâmetro e comprimento do nanotubo de carbono a partir do vetor quiral na tela de modelagem das características do nanotubo será baseado no comprimento de porta padronizado do programa FETToy que é 100 nm, com isso o valor referente ao vetor quiral será (4,2). Por fim, os valores adicionados no programa FETToy são apresentados na Tabela 2.

Tabela 2 – Materiais característicos do Transistor MOSFET e CNFET.

MOSFET - Tipo N			CNFET - Tipo N		
ϵ_{ox}	HfO_2	SiO_2	ϵ_{ox}	HfO_2	SiO_2
T_{ox}	1 μ ; 100n; 10n		T_{ox}	1 μ ; 100n; 10n	
V_{DS}	2V	2V	V_{DS}	2V	2V
V_G	0,25V; 0,5V; 0,75V; 1V		V_G	0,25V; 0,5V; 0,75V; 1V	
V_T	Calculado		V_T	Calculado	

IV. RESULTADOS

Os resultados de tensão limiar, tensão de banda plana, capacitância, entre outros parâmetros obtidos a partir do ENIMOS são apresentados na Tabela 3 e 4.

Analisando os primeiros resultados é possível verificar que, quanto menor a espessura do óxido, maior será a capacitância, conseqüentemente menor será o valor da tensão de limiar. Os valores utilizados no programa FETToy, para a plotagem do gráfico da curva característica do MOSFET (Figura 16), são os valores da Tabela 2 mais os valores da coluna de espessura de 10 nm do SiO_2 e HfO_2 da Tabela 3 e 4, respectivamente, cujo resultados são próximos.

Tabela 3 – Resultado das características do capacitor MOS usando SiO_2 como isolante de porta.

Capacitor MOS - Tipo N			
T_{ox}	1 μ	100n	10n
ϵ_{ox}	SiO_2	SiO_2	SiO_2
V_T (V)	1,88	0,641	0,517
V_{fb} (V)	-0,396	-0,312	-0,304
C_{ox} (F/cm ²)	3,45. 10 ⁻⁷	3,45. 10 ⁻⁶	3,45. 10 ⁻⁵
Φ_{MS} (V)	-0,303	-0,303	-0,303

Tabela 4 – Resultado das características do capacitor MOS usando SiO_2 como isolante de porta.

Capacitor MOS - Tipo N			
T_{ox}	1 μ	100n	10n
ϵ_{ox}	HfO_2	HfO_2	HfO_2
V_T (V)	0,66	0,519	0,505
V_{fb} (V)	-0,375	-0,31	-0,304
C_{ox} (F/cm ²)	2,21. 10 ⁻⁶	2,21. 10 ⁻⁵	2,21. 10 ⁻⁴

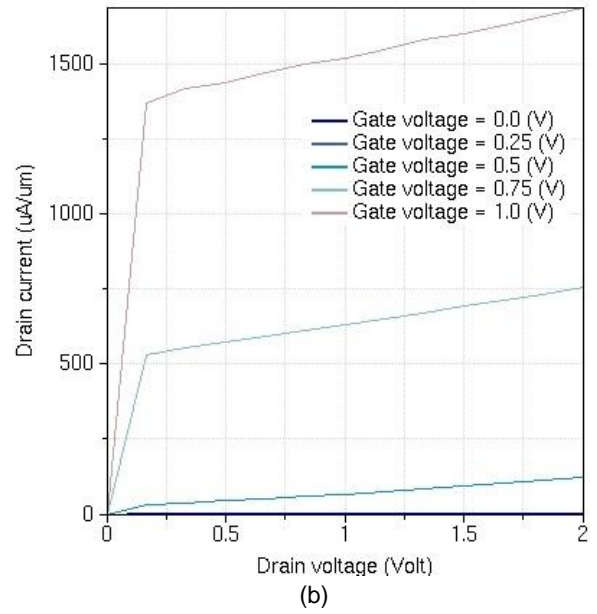
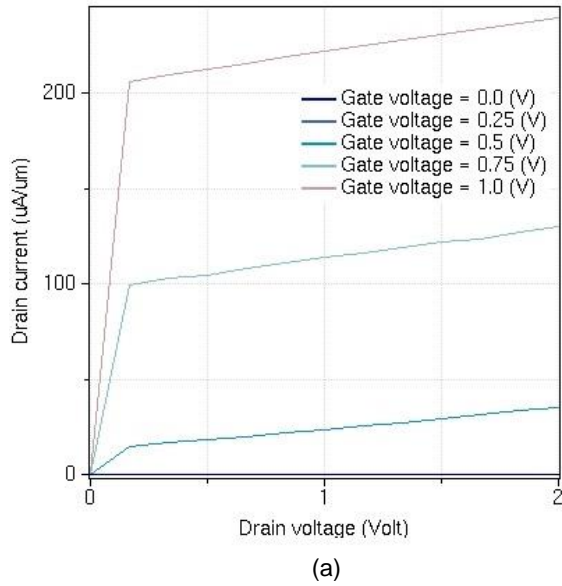


Figura 16 – (a) Curva $I_{DS} \times V_{DS}$ com SiO_2 e (b) Curva $I_{DS} \times V_{DS}$ com HfO_2 .

Os resultados referentes ao diâmetro e comprimento do nanotubo de carbono obtidos a partir do vetor quiral de (8,4) foram $d = 83,9$ nm e $T = 114$ nm. Os parâmetros de caracterização do CNFET foram os mesmos do MOSFET mantendo um padrão de comparação (Figura 17).

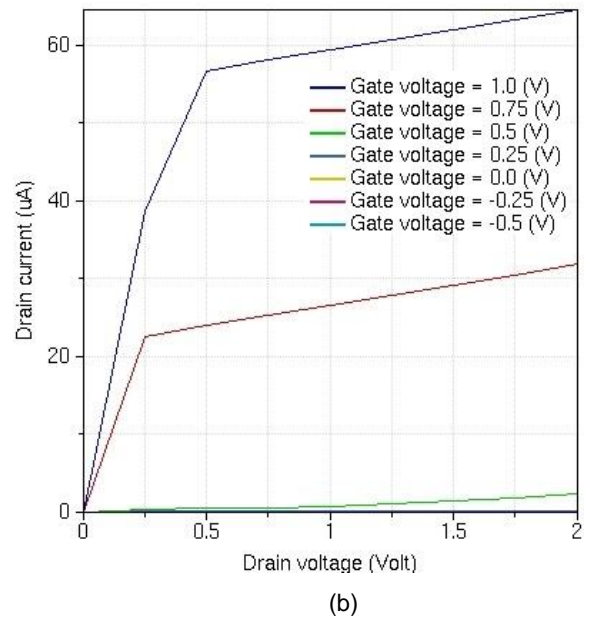
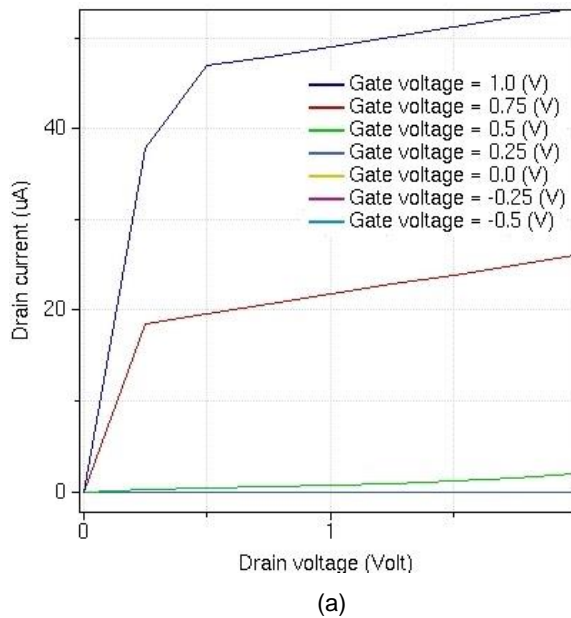


Figura 17 – (a) Curva $I_{DS} \times V_{DS}$ com SiO_2 e (b) curva $I_{DS} \times V_{DS}$ com HfO_2 .

Mesmo os transistores possuindo valores de tensão limiar próximos, o transistor com o HfO_2 permitiu a passagem de uma corrente superior comparado ao de silício como apresentado nas Figuras 16 e 17. Isso ocorre devido ao maior valor da constante dielétrica do material, contribuindo com o controle das cargas capacitivas na região da porta do transistor, mesmo que as cargas efetivas da interface

metal/semicondutor do HfO_2 sejam maiores.

Utilizando a equação (24) para calcular e comparar as velocidades de saturação dos transistores MOSFET e CNFET, utilizando como dielétrico o HfO_2 na porta do transistor, largura de canal de 10 nm e os valores de limiar de saturação $V_{DS} \cong 0,2$ V para MOSFET e $V_{DS} \cong 0,5$ V para CNFET, obtemos os seguintes resultados:

$$v_{sat}(MOSFET) = 3 \cdot 10^8 \text{ cm/s}$$

$$v_{sat}(CNFET) = 39,5 \cdot 10^8 \text{ cm/s}$$

Analisando os valores de velocidade de saturação, nota-se que o transistor CNFET é mais rápido que o MOSFET tradicional, apesar de necessitar de uma diferença de potencial maior entre fonte e dreno. Outra vantagem seria a possibilidade de fabricar processadores de baixo consumo, já que transistores baseados no CNFET trabalhariam com menores níveis de corrente, conforme visto na Figura 17, quando comparado ao MOSFET tradicional (Figura 16) para um mesmo nível de tensão de porta ($V_{GS} = 1 \text{ V}$).

V. CONCLUSÃO

Notou-se que os transistores contendo nanotubo de carbono (CNFET) possuem um baixo valor de corrente de operação, mas uma alta velocidade de saturação, o que contribui para a sua aplicação, visto que os processadores trabalham com um baixo valor de corrente e tensão, mas uma alta velocidade de processamento. Embora os transistores CNFET tenham um enorme potencial para substituir os transistores MOSFET, sua fabricação em escala industrial ainda é inviável e cara, principalmente devido aos métodos de fabricação dos nanotubos de carbono serem lentos e provocarem defeitos na estrutura do transistor. Maiores avanços nessa área são necessários para tornarem essa tecnologia viável economicamente.

VI. REFERÊNCIAS

- [1] LIU, G. *et. al.* **Graphene Based Non-Boolean Logic Circuits**. California, 2013. Department of Electrical Engineering, University of California.
- [2] INTEL Corporation. **Intel's 22 Nanometer Technology Moves the Transistor into the 3rd Dimension**. Santa Clara, CA. 2013.
- [3] FONSECA, A. F. **Minicurso: Introdução às propriedades físicas e estruturais do grafeno e dos nanotubos de carbono**. Departamento de Física – UFF. 2011.
- [4] PADILHA, J. E. **Vacâncias em nanotubos de carbono: Propriedades Eletrônicas, Estruturais e de Transporte**. São Paulo, 2008. Instituto de Física, Universidade de São Paulo.
- [5] INTEL Corporation. **14nm Process Technology: Opening New Horizon**. 2014.
- [6] MARTINO, J. A.; PAVANELLA, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Thomson, 2003.
- [7] WART, J. W. **Capacitor M.O.S (Metal – Óxido – Semicondutor)**. Unicamp.
- [8] HU, C. **Capacitor MOS**. Berkeley Electrical Engineering and Computer Sciences. 2009.
- [9] BARIATTO, M. **Transistores nMOS: Curvas Características**. Material didático do Curso superior de Materiais, Processos e Componentes Eletrônicos – MPCE, Disciplina: Dispositivos Semicondutores II. Faculdade de tecnologia de São Paulo – FATEC. Disponível em: <<http://www.lsi.usp.br/~bariatto/fatec/ds2/>>. Acesso em 20 de março de 2017
- [10] RAZAVI, B. **Fundamentals of Microelectronics: Chapter 6 – Physics of MOS transistors**. 2. ed. Wiley, 2013. In: Fundamentals of Microelectronics Lecture. Prof. Murat Torlak. Disponível em: <<https://www.utdallas.edu/~torlak/courses/ee3311/lectures/ch06updated.pdf>>. Acesso em 30 de março de 2017.

- [11] SEDRA, A. S.. **Microeletrônica**. Pearson, 5. ed. 2007.
- [12] SALEH, R. **Lecture 6: Leakage and low power design**. Dept. of ECE. University of British Columbia, 2009.
- [13] HIEN, D. S. **Modeling of Carbon Nanotube Field Effect transistors**. HCM City University of Natural Sciences. 2011.
- [14] RAHMAN, A. *et. al.* **FETToy**. Disponível em: <<https://nanohub.org/resources/fettoy/>>. Acesso em 15 de maio de 2017.